

BEST AVAILABLE COPY



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication
number:

1020010064123 A

(43) Date of publication of application:
09.07.2001

(21) Application number: 1019990062256

(71) Applicant:

HYNIX SEMICONDUCTOR
INC.

(22) Date of filing: 24.12.1999

(72) Inventor:

CHO, HO YEOP
KIM, PIL JUNG
KWON, O WON
LEE, CHANG HYEOK
OH, JIN GEUN
PARK, JAE SEOK
WEE, JAE GYEONG

(51) Int. Cl

G11C 11/40

(54) DELAY LOCKED LOOP WITH REDUCED POWER DISSIPATION

(57) Abstract:

PURPOSE: A delay locked loop with reduced power dissipation is provided to reduce the power dissipation during active and stand-by modes by operating a delay locked loop with separate signals in different modes.

CONSTITUTION: The low power delay locked loop includes a command generator(410), a delay modeler(420), a controller(430), a shift controller(440), and a delay-locked loop changer(160). The command generator(410) generates a measure active signal and a command delay active signal for driving delay chains selectively with response to an internal clock signal generated from a power up signal and a clock buffer, a signal activated at auto refresh mode, a signal activated at self refresh mode and a signal activated at power down mode. The delay modeler(420) generates a signal delayed by a time until the internal clock is generated from an outer clock with response to the measure active signal and the internal clock signal. The controller(430) receives the measure active signal, the copy delay active signal, the internal clock signal, the delay signal, and the shift signal to generate a signal for controlling the delay locked loop. The shift controller(440) receives the second internal clock signal having a pulse with corresponding one period of the internal clock signal and generates the shift signal and a shift reset signal. The delay-locked loop changer receives the control signal from the controller(430), the shift signal and the shift reset signal to adjust the time delay.

COPYRIGHT 2001 KIPO

Legal Status

AL

- Date of final disposal of an application (20020130)
- Patent registration number (1003337080000)
- Date of registration (20020410)

공개특허 제2001-64123호(2001.07.09) 1부.

[첨부그림 1]

특 2001-0064123

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 11/40

(11) 공개번호 특 2001-0064123
(43) 공개일자 2001년 07월 09일

(21) 출원번호	10-1999-0062256
(22) 출원일자	1999년 12월 24일
(71) 출원인	주식회사 하이닉스반도체 박경식 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	조호연 서울특별시 시흥구 서초2동 1360번지 16호 로얄주택 A동 201 위재경 서울특별시 광진구 광장동 웨커힐 일신마아파트 2-602 이창혁 경기도 이천시 흥포동 대우2차 아파트 206-303 권오원 경기도 안양시 만안구 안양1동 진흥마아파트 8-504 오진근 경기도 이천시 마을면 읍내리 970-1 호아파트 103-1503 박재석 서울특별시 광진구 자양1동 776-10번지 김필중 광주광역시 서구 금호동 742-2 시영일반아파트 503-604 (74) 대리인
	특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최증식, 특허법인 신성 박정호, 특허법인 신성 정지원

설사상구 : 있음

(54) 전력 소모를 감소시킨 지연고정루프

요약

본 발명은 반도체메모리 장치의 지역고정루프에 관한 것으로 등기식 디램(SDRAM)의 각 모드에 따른 신호를 발생하는 명령발생부를 사용함으로써 각 모드에 따라 다르게 지역고정루프를 동작시킬 수 있어서 웨티비나 파워다운 모드에서 지역고정루프의 소모하는 전류를 감소시킬 수 있다. 이를 위하여 본 발명은 반도체메모리 장치에 있어서, 파워업신호와 틀록 버퍼로부터 생성된 내부클록신호와 오토 리프레쉬 모드에서 활성화되는 신호와 셀프 리프레쉬 모드에서 활성화되는 신호와 파워다운 모드에서 활성화되는 신호에 용답하여 각각의 모드에서 지역체인을 선택적으로 구동시키기 위한 측정활성화신호와 복사지역활성화신호를 생성하는 명령발생부; 상기 측정활성화신호와 상기 내부클록신호에 용답하여 외부 클록으로부터 내부클록이 생성되기까지의 딜레이만리를 시간지연된 딜레이신호를 생성하기 위한 딜레이모델부; 상기 측정활성화신호와 복사지역활성화신호와 상기 내부클록신호와 딜레이신호와 하기 쉬프트신호를 입력받아서 지역고정루프체인부를 제어하기 위한 신호를 발생하는 세어부; 상기 세어부로부터의 내부클록신호의 한 주기만큼의 펄스폭을 갖는 제2내부클록신호를 입력받아서 쉬프트신호와 쉬프트리셋신호를 생성하기 위한 쉬프트제어부; 및 상기 세어부로부터의 제마신호와 상기 쉬프트제어부로부터의 쉬프트신호와 쉬프트리셋신호를 입력받아서 시간 지연량을 조절하기 위한 지역고정루프체인부를 포함하는 것을 특징으로 한다.

1. 표 1

도 1

2. 2001

제어부, 쉬프트제어부, 딜레이모델부, 명령발생부, 지역고정루프체인부.

설명

도면의 간단한 설명

도1은 증래기술의 지연고정루프의 블록도,
 도2는 오토 리프레쉬(Auto Refresh) 모드에서 증래기술의 지연고정루프에 대한 신호 흐름을 나타내는 타이밍도.
 도3은 증래기술의 지연고정루프의 신호 흐름을 나타내는 타이밍도,
 도4는 본 발명의 지연고정루프의 블록도,
 도5는 오토 리프레쉬(Auto Refresh) 모드에서 본 발명의 지연고정루프에 대한 신호 흐름을 나타내는 타이밍도,
 도6은 본 발명의 지연고정루프의 신호 흐름을 나타내는 타이밍도,
 도7은 본 발명의 명령발생부의 회로도,
 도8은 본 발명의 제어부의 회로도,
 도9는 본 발명의 지연고정루프체인부의 회로도,
 도10a는 본 발명의 쉬프트체어부의 회로도,
 도10b는 본 발명의 쉬프트체어부의 또 다른 실시예를 나타내는 회로도.

* 도면의 주요 부분에 대한 부호의 설명 *

410 : 명령발생부	420 : 딜레이모듈부
430 : 제어부	440 : 쉬프트체어부

발명의 실체**발명의 목적**

발명의 속하는 기술 분야 및 그 분야의 증래기술

본 발명은 반도체메모리 장치에 관한 것으로, 특히 저전력 지연고정루프에 관한 것이다.

SDR(Single Data Rate) SDRAM, DDR(Double Data Rate) SDRAM, RAMBUS DRAM등의 고주파에서 등작이 가능한 메모리장치가 개발되고 있는데, 등작 주파수가 점차 고주파로 가면서 칩에서 소모되는 전력에 관한 문제 가 최근에 대두되기 시작한다.

일반적으로 지연고정루프란 반도체메모리 장치에서 블록을 사용하는 동기식메모리의 내부블록을 예상위치로부터 일자리에 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 블록이 내부에서 사용될 때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 블록이 외부에서 들어오는 블록과 동일하게 등기되도록 하기 위해서 사용한다.

도1은 증래기술의 지연고정루프의 블록도이다.

상기 도1을 참조하면, 증래기술의 지연고정루프는 칩에 파워가 인가되는 것을 감지하여 칩을 초기화하기 위한 파워업신호(powerup)를 출력하는 파워업감지부(100)와, 상기 파워업신호(powerup)와 외부의 블록신호(EX_CLK)와 하기의 내부블록신호(clk)를 입력받아 블록버퍼를 인예이블하기 위한 블록활성화신호(click_en)와 지연고정루프를 활성화시키기 위한 활성화신호(BI)를 출력하는 블록활성화부(110)와, 상기 블록활성화신호(click_en)와 외부의 블록을 입력받아서 버퍼링하기 위한 블록버퍼(120)와, 상기 활성화신호(BI)와 블록버퍼로부터의 내부블록신호(clk)를 입력받아 외부 블록으로부터 내부블록이 설정되기까지의 딜레이부(130)와, 상기 활성화신호(BI)와 내부 블록신호(clk)와 상기 딜레이모듈부(130)와, 상기 활성화신호(BI)와 내부 블록신호(clk)와 상기 딜레이신호(click_dly)와 하기의 쉬프트체어부(150)로부터의 쉬프트신호(shift)를 입력받아 지연고정루프체인부(160)를 제어하기 위한 제어부(140)로부터의 제2내부블록신호(click2)와, 상기 제어부(140) 내에 있는 쉬프트리지스터를 제어하기 위한 쉬프트체어신호(click2)를 입력받아 지연고정루프체인부(160) 내에 있는 쉬프트리지스터를 제어하기 위한 제2딜레이신호(click_dly2)와, 상기 제어부로부터의 제3내부블록신호(click_to_dly)를 입력받아서 시간 지연량을 조절하기 위한 지연고정루프체인부(160)와, 지연고정루프체인부(160)로부터의 프리지연고정루프신호(pre-dly)와 바이패스신호(bypass)를 입력받아 지연고정루프클록신호(dly_clk)를 생성하기 위한 지연고정루프버퍼(170)를 구비한다.

도2는 오토 리프레쉬(Auto Refresh) 모드에서 증래기술의 지연고정루프에 대한 신호 흐름을 나타내는 타이밍도이다.

상기 도2를 참조하면, 먼저 오토 리프레쉬 임을 알려주는 오토리프레쉬신호(arsh)가 논리 하이로 활성화

되면 오트 리프레쉬 모드로 진입한다. 상기 오토리프레쉬신호(ersh)가 활성화되면 팝업화신호(en)가 활성화되고, 상기 딜레이모델부(130)로부터 출력된 딜레이신호(clk_dly)가 활성화되며, 상기 딜레이신호(clk_dly)로부터 딜레이신호(clk_dly)의 한 주기 만큼의 평스폭을 갖는 제2딜레이신호(clk_dly2)가 활성화된다. 또한, 내부클록신호(clk)의 한 주기만큼의 평스폭을 갖는 제2내부클록신호(clk2)가 활성화되고 상기의 제2내부클록신호(clk2)의 출력에지에서 상기 쉬프트신호(shift)가 평스를 발생한다.

상기의 활성화신호(en)는 내부클록신호에 동기되지 않고, 오토리프레쉬신호(ersh)가 인에이블되면 활성화되는 신호이므로, 오토리프레쉬신호(ersh)가 인에이블되는 시점에 따라서 도2의 (a), (b)에서 도시된 것과 같이 제2내부클록신호(clk2)와 제2딜레이신호(clk_dly2)의 평스가 뜨는 시점을 다르게 한다.

도3은 증례 기술의 자연고정루프의 신호 흐름을 나타낸 타이밍도이다.

상기 도3을 참조하여 자연고정루프체인부(160)의 동작에 대하여 살펴보면, 상기 제2내부클록신호(clk2)의 출력에지에서 상기 쉬프트신호(shift)가 평스를 발생하고, 상기 쉬프트신호(shift)의 출력에지에서 쉬프트리셋신호(shift_rst)가 발생한다. 상기 제2내부클록신호(clk2)와 상기 제2딜레이신호(clk_dly2)의 논리함수에 평스가 유통되는 구간으로부터 상기 자연고정루프체인부(160)내에 있는 자연제어 흙정단(300)이 구동하여서 클록의 전파를 시작하고, 상기 쉬프트신호(shift)가 자연고정루프체인부(160) 내에 있는 쉬프트레지스터를 구동시켜서 딜레이리라인으로부터 입력되는 클록신호를 쉬프트시킨다. 상기 쉬프트리셋신호(shift_rst)는 상기 쉬프트신호(shift)의 출력에지에서 활성화되므로 자연고정루프체인부(160) 내에 있는 쉬프트레지스터가 리셋되지 않아서 불령 확인한 자연고정루프클록이 생기게 된다.

상기와 같은 구조과 동작을 갖는 자연고정루프는 액티브(Active) 모드에서 빤만 아니라 파워다운(power-down) 모드나 리프레쉬(refresh) 모드에서 전류를 동일하게 소모하도록 되어 있다. 즉 액티브 동작시나 스тен비(Stand-by) 동작에서 소비되는 전류가 동일하다면 최근에 스тен비 모드나 오토 리프레쉬(Auto-refresh) 모드에서나 쉘프 리프레쉬(Shell refresh) 모드에서 저전력을 요구하고 있는 요즘 상황으로 볼 때 문제가 되는 것은 자명하다.

발명이 이루고자 하는 기술적 과정

본 발명은 상기와 같은 증례 기술의 문제점을 해결하기 위하여 만족된 것으로써, 액티브(Active)와 스тен비(Stand-by) 상태에서의 전력 소모를 감소하기 위한 자연고정루프를 제공하는데 그 목적이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 자연고정루프는 반도체메모리 장치에 있어서, 파워업신호와 클록버퍼로부터 생성된 내부클록신호와 오토 리프레쉬 모드에서 활성화되는 신호와 쉘프 리프레쉬 모드에서 활성화되는 신호와 파워다운 모드에서 활성화되는 신호에 등단하여 각각의 모드에서 자연체인을 선택적으로 구동시키기 위한 유통활성화신호와, 푸사지연활성화신호를 생성하는 명령발생부; 상기 유통활성화신호와 상기 내부클록신호에 응답하여 외부 클록으로부터 내부클록이 생성되거나지의 딜레이이동을 시간지연된 딜레이신호를 생성하기 위한 딜레이모델부; 상기 유통활성화신호와 푸사지연활성화신호와 상기 내부클록 딜레이신호와 하기 쉬프트신호를 입력받아서 자연고정루프체인부를 제어하기 위한 신호를 발생하는 제어부; 상기 제어부로부터의 내부클록신호의 한 주기만큼의 평스폭을 갖는 제2내부클록신호를 입력받아서 제어부로부터의 신호와 상기 제어부로부터의 신호를 생성하기 위한 쉬프트제어부; 및 상기 제어부로부터의 제어신호와 상기 쉬프트신호와 쉬프트리셋신호를 생성하기 위한 쉬프트제어부; 및 상기 제어부로부터의 제어신호와 상기 쉬프트제어부로부터의 쉬프트신호와 쉬프트리셋신호를 입력받아서 시간 지연량을 조절하기 위한 자연고정루프체인부를 포함하는 것을 특징으로 한다.

이와 같이 본 발명은 커먼드디코더를 사용함으로써 디램(DRAM)의 각 모드에 따라 자연고정루프를 적합하게 동작시키기 때문에 자연고정루프의 사용에 장애가 되는 과도한 전류 소모 문제를 해결할 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바탕적인 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

도4는 본 발명의 자연고정루프의 блок도이다.

상기 도4를 참조하면, 본 발명의 자연고정루프는 첨에 파워가 인가되는 것을 감지하여 첨을 초기화하기 위한 파워업신호(powerup)를 출력하는 파워업감지부(100)와, 상기 파워업신호(powerup)와 외부의 클록신호(EX_CLK)와 초기의 내부클록신호(clk)를 입력받아 클록버퍼를 인에이블하기 위한 클록활성화신호(clk_en)를 출력하는 클록활성화부(400)와, 상기 클록활성화신호(clk_en)와 외부의 클록을 입력받아서 버퍼링하기 위한 클록버퍼(120)와, 상기 파워업신호(powerup)와 내부클록신호(clk)와 오토리프레쉬신호(ersh)와 쉘프리프레쉬신호(ref)와 반품률활성화신호(ckenb)와 상기 쉬프트신호(shift)를 입력받아 각각의 모드에 따라서, 제어부(140)를 제어하기 위한 명령발생부(410)와, 상기 명령발생부로부터의 유통활성화신호(en_nea)와 클록버퍼로부터의 내부클록신호(clk)를 입력받아 외부 클록으로부터 내부클록이 생성되기까지의 딜레이이동을 시간지연된 딜레이신호(clk_dly)를 생성하기 위한 딜레이모델부(420)와, 상기 유통활성화신호(en_nea)와 상기 명령발생부(410)로부터의 푸사지연활성화신호(en_rep)와 내부클록신호(clk)와 상기 딜레이이동부(420)를 제어하기 위한 제어부(430)와, 상기 제어부(430)로부터의 제2내부클록신호(clk2)를 입력받아 자연고정루프체인부(160)를 제어하기 위한 제어부(430)와, 상기 제어부(430)로부터의 제2내부클록신호(clk2)와 상기 제어부(430)로부터의 제3내부클록신호(clk_to_dly)를 입력받아서 시간 지연량을 조절하기 위한 자연고정루프

[첨부그림 4]

2001-0064123

체인부(160)와, 지역고정루프체인부(160)로부터의 $d11$ 과 $d11.clk$ 을 입력받아 지역고정루프를신호(d11.clk)를 생성하기 위한 지역고정부프비트(170)를 구비한

증례의 지역 고정투표에서 각 모드에 따라서 등장시키기 위한 명령형상부(410)가 새로 추가되었으며 각각의 모드에 따라서, 디스레이의 흡정 과정과 죽지사과 과정을 독립적으로 활성화시키기 위해서 흡정활성화신호(FMCS)와 죽지사과활성화신호(FMS)가另行생성됩니다.

도5는 오토 리프레시(Auto Refresh) 모드에서 본 밀정의 자연교정루프에 대한 신호 흐름을 나타내는 타이밍도이다.

상기 도5를 참조하면, 먼저 오트 리프레쉬 임기를 알려주는 오토리프레쉬호(arsh)가 논리 하이로 활성화되며 오트 리프레쉬 모드로 전입된다. 상기 오토리프레쉬호(arsh)가 활성화되면 특정 활성화된 EN(ene)가 활성화되고, 상기 딜레이모드법원(420)로부터 펌프된 딜레이신호(cik_dly1)가 활성화되어 상기 딜레이신호(cik_dly1)로부터 딜레이신호의 한 주기 만큼의 펌프스택을 갖는 제2차부록신호(cik_dly2)가 활성화된다. 또한, 내부부록신호(cik)의 한 주기 만큼의 펌프스택을 갖는 제2차부록신호(cik2)가 활성화되고 상기의 제2차부록신호(cik)의 펌프에 대해서 상기 셀프트진호(shift)가 펌프를 실행한다.

도는 문 달면의 자연고정로프의 신호 흐름을 나타내는 타이밍 도이다.

상기 도6를 참조하면, 상기 제2내부를 톤신호(clk2)의 플립 예지에서 상기 쉬프트신호(shift)가 펄스를 발생하고, 쉬프트리셋신호(shift_rst)가 발생한다. 상기 제2내부복률신호(clk2)와 상기 제2들레이신호(clk_dly2)의 눈리 하이 펄스가 증점되는 구간으로부터 상기 지연고정률프로세서인(160)내에 있는 딜레이리마인이 구동하여서 펄스의 전파를 시작하고 상기 쉬프트신호(shift)가 지연고정률프로세서인(160)내에 있는 쉬프트 레지스터들을 구동시켜 딜레이리마인으로부터 입력되는 클록신호를 쉬프트시킨다.

도?은 본 별명의 상기 명령발생부(410)의 회로도이다.

상기 도⁷를 참조하면, 본 발명의 멀링발성부는 상기 내부클럭신호(clk)를 입력받아 클록펄스신호(clkp)를 생성하기 위한 제1펄스발생단(700)과, 상기 쉐프트신호(shift)를 반전시켜 반복프트신호(shiftb)를 생성하는 인버터(710)와, 스플프리프레쉬 모드에서 활성화되는 스플프리프레쉬신호(sref)와 반복활성화신호(ckenb)와 리스(RAS) 스тен바이 상태에서 활성화되는 리스아이머신호(rasidle)를 입력받아 세마신호(pdb)를 생성하는 제어단(720)과, 상기 퍼워업신호(perup)와 상기 오토리프레쉬신호(arsh)와 상기 제어신호(pdb)와 상기 반복프트신호(shiftb)와 상기 클록펄스신호(clkp)를 유통받아 파워다운 모드(power-down mode) 진입시나 오토리프레쉬 모드나 스플프리프레쉬 모드에서 상기 총정활성화신호(EN_me)를 비활성화시키고 파워다운 모드를 벗어나고 클록의 6 사이클마다에서 상기 총정활성화신호(EN_me)를 활성화시키기 위한 제1입력단(730)과, 상기 퍼워업신호(perup)와 상기 제어신호(pdb)와 상기 반복프트신호(shiftb)와 상기 클록펄스신호(clkp)를 입력받고 하기 커문터단(760)의 출력신호(cnt_endb)를 피드백받아 파워다운 모드에서 벗어나고 클록의 6 사이클에 상기 총정활성화신호(EN_me)를 비활성화시키기 위한 제2입력단(740)과, 상기 퍼워업신호(perup)와 상기 세마신호(pdb)와 상기 오토리프레쉬신호(arsh)와 상기 클록펄스신호(clkp)를 입력받아 파워다운 모드나 액티브 모드에서 지연하고 정점포트인(160) 내에 있는 복사자연단을 활성화시키기 위한 제3입력단과, 상기 제2입력단과, 상기 제1입력단(730)의 클럭신호와 상기 제2입력단(740)의 출력신호를 입력받아 총정활성화신호(EN_me)를 출력하기 위한 출력단(770)을 구비한다.

도8은 본 발명의 제어부(430)의 회로도이다.

상기 도8을 참조하면, 제어부(430)는 상기 딜레이모뎀부(420)로부터의 딜레이신호(clk_dly)와 상기 총정합성화신호(EN_mea)에 응답하여 상기 딜레이신호(clk_dly)의 한 주기에 해당하는 평스폭을 갖는 제2디레이미신호(clk_dly2)를 생성하기 위한 제2디플립률률단(800)과, 상기 내부률률신호(clk)와 상기 총정합성화신호(EN_mea)에 응답하여 상기 내부률률신호(clk)의 한 주기에 해당하는 평스폭을 갖는 제2내부률률신호(clk2)를 생성하기 위한 제2디플립률률단(810)과, 상기 농시자지역합성화신호(EN_rap)와 상기 내부률률신호(clk)와 상기 스퀘프트신호(shift)에 응답하여 농시자지역합성화신호(EN_rap)가 정성화된 후부터 제3내부률률신호(clk3)를 생성하기 위한 제3디플립률률단(820)을 구비하고 있다.

문화(문화_00_001)을 풍성하게 하는 세대구를 확장하는
D9는 본 법령의 지역고찰통폐인법(160)의 회로도이다.

상기 도9를 조합하면, 본 발명에 따른 지역 고정형 풋체인부는 크게 3 부분으로 구성된 계층적 구조를 가진다. 즉, 상기 제2邻里선호(c1k, dly2)와 상기 제4내부복수리藓호(c12)를 입력받아 텁邻里시킨는 지역체인부, 흡정단(900)과, 상기 쉬프트선호(shift)와 쉬프트리셋선호(shift,rst)와 상기 제4내부복수리藓호(c1k, dly1)에 응답하여 쉬프팅하는 쉬프터로 구성된 쉬프터 및 톤킹단(910)과, 상기 지역체인 흡정단(900)과 같은 텁邻里로 이루어진 지역체인부리藓단(920)으로 구성되어 있다. 이를 각 구성요소가 연결되며, 상기 내부 풋체인부를 형성하고, 각 시스템마다 진동역에 따른 구조를 가지고 있다.

상기 제연체인 흑정단(900)과 쉐프트 및 루킹단(910)은 상기 제2내부클립신호(click2)와 상기 제2팀레이션호(click4)의 팔스폭을 지연시켜서 전파하는 기능을 수행하는 부분으로서, 지연체인 흑정단의 각 지연스테이지의 출력력을 저장하고 아래의 3-입력 노마(NOR)로 전달하는 쉐프터로 구성되어 있다. 도9에 도시된 바와 같이 쉐프터는 쉐프트리셋신호(shift_rst)가 눌러 로우인 풍당 입력력을 받아들여 저장하고, 상기 쉐프트신호(shift1)가 뜯면 다음 스테이지로 저장한 값을 옮긴다. 하면, 쉐프트리셋신호(shift_rst)가 뜯면, 쉐프터에 저장된 값을 초기치인 논리 로우인 상태로 둘어간다. 도9의 맨 아래부분은 맨 위의 지연체인 흑정단(900)과 같은 지연을 갖도록 만들어진 지연체인 복사단(920)으로 외부클립이 OI 지연체인 흑정단(920)을 통하여 염여지는 것이 지연고정부를 통해 유통된다.

은 3-임력-노마게이트로 입력되어 제2내부클록신호(clk_to_d11)이 나감 수 있으나 없느냐를 결정하게 된다. 이중개 결정된 제2내부클록신호(clk_to_d11)는 아래의 지연체인 복사단(920)에서 상기 제2내부클록신호(clk2)에서 제2덤티리미신호(clk_dly2)의 하이 레벨이 증점되기 시작한 시점에서 증점이 끝난 시점까지의 시간 지연 간과 같은 수의 지연체인을 통과하므로 원하는 지연고정부프 클록인 프리지연고정부프신호(pre_d11)를 생성하게 된다.

도 10a는 본 발명의 쉐프트제어부(440)의 회로도이다.

상기 도 10a를 참조하면, 본 발명의 쉐프트제어부(440)는 상기 제2내부클록신호(clk2)의 라이징 에지에서 상기 쉐프트리셋신호(shift_rst)를 띄우는 펌스생성단(1000)과 상기 제2내부클록신호(clk2)의 런링 에지에서 상기 쉐프트신호(shift)를 띄우는 펌스생성단(1010)을 구비한다.

도 10b는 본 발명의 쉐프트제어부(440)의 또 다른 실시예를 나타내는 회로도이다.

상기 도 10b를 참조하면, 쉐프트제어부(440)는 상기 복사지연활성화신호(EN_rst)가 상승하는 에지에서 상기 쉐프트리셋신호(shift_rst)를 한번 띄우기 위한 펌스생성단(1020)과, 상기 제2내부클록신호(clk2)의 런링 에지에서 상기 쉐프트신호(shift)를 띄우는 펌스생성단(1030)과, 상기 쉐프트신호(shift)의 런팅 에지에서 상기 쉐프트리셋신호(shift_rst)를 띄우는 펌스생성단(1040)을 구비한다.

본 발명의 기술 사상을 살기 바람직한 실시예에 따라 구체적으로 기술되었으나 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능할을 이해할 수 있을 것이다.

발명의 효과

상기와 같이 본 발명은 동기식 디램(SDRAM)의 각 모드에 따른 신호를 발생하는 영령발생부를 사용함으로써 각 모드에 따라 다른 고정부프를 동작시킬 수 있어서 액티브나 파워다운 모드에서 지연고정부프의 소모하는 전류를 감소시킬 수 있다.

(5) 청구의 범위

청구항 1

반도체메모리 장치에 있어서,

파워업신호와 클록 버퍼로부터 생성된 내부클록신호와 오토 리프레쉬 모드에서 활성화되는 신호와 셀프 리프레쉬 모드에서 활성화되는 신호와 파워다운 모드에서 활성화되는 신호에 응답하여 각각의 모드에서 지연체인을 선택적으로 구동시키기 위한 측정활성화신호와 복사지연활성화신호를 생성하는 영령발생부;

상기 측정활성화신호와 상기 내부클록신호에 응답하여 외부 클록으로부터 내부클록이 생성되기까지의 딜레이만큼 시간지연된 딜레이신호를 생성하기 위한 딜레이모듈부;

상기 측정활성화신호와 복사지연활성화신호와 상기 내부클록신호와 딜레이신호와 하기 쉐프트신호를 입력 받아서 지연고정부프제어부를 제어하기 위한 신호를 발생하는 제어부;

상기 제어부로부터의 내부클록신호의 한 주기만의 펌스폭을 갖는 제2내부클록신호를 입력받아서 쉐프트신호와 쉐프트리셋신호를 생성하기 위한 쉐프트제어부; 및

상기 제어부로부터의 제어신호와 상기 쉐프트제어부로부터의 쉐프트신호와 쉐프트리셋신호를 입력받아서 시간 지연량을 조절하기 위한 지연고정부프제어부를 포함하여 이루어진 지연고정부프.

청구항 2

상기 제 1항에 있어서,

상기 영령발생부는,

상기 내부클록신호를 입력받아 클록펌스신호(clkp)를 생성하기 위한 제1펌스발생단;

상기 쉐프트신호를 반전시켜 반 쉐프트신호를 생성하는 인버터;

셀프 리프레쉬 모드에서 서 활성화되는 셀프리프레쉬신호와 라스(RAS) 스면바이 상태에서 활성화되는 라스마이클신호를 입력받아 제어신호(pdb)를 생성하는 제어부;

상기 파워업신호와 상기 오토리프레쉬신호와 상기 제어신호(pdb)와 상기 반 쉐프트신호와 상기 클록펌스신호(clkp)에 응답하여 파워다운 모드 진입시나 오토리프레쉬 모드나 셀프리프레쉬 모드에서 상기 측정활성화신호를 비활성화시키고 파워다운 모드를 벗어나고 클록의 6 사이클미내에서 상기 측정활성화신호를 활성화시키기 위한 제1입력단;

상기 파워업신호와 상기 제어신호(pdb)와 상기 반 쉐프트신호와 상기 클록펌스신호(clkp)를 입력받고 하기 6 카운터단의 클록신호인 카운터활성화신호(cnt_endb)를 피드백받아 파워다운 모드에서 벗어나고 클록의 6 사이클 이후에 상기 측정활성화신호를 비활성화시키기 위한 제2입력단;

[첨부그림 6]

등 2001-0064123

상기 파워업신호와 상기 제어신호(pdo)와 상기 오토리프레쉬신호와 상기 텔루필스신호(dkip)를 입력받아
파워더운 모드나 오로 리프레쉬 모드나 엑티브 모드에서 지역고정루프체인부 내에 있는 복사지연단을 활
성화시키기 위한 제3입력단;

상기 제2입력단의 출력과 상기 내부클록신호를 입력받아 클록의 6 사이클을 카운팅하기 위한 카운터단;
및

상기 제1입력단의 출력신호와 상기 제2입력단의 출력신호를 입력받아 특정활성화신호를 출력하기 위한 출력
부
를 포함하여 이루어진 지역고정루프.

청구항 3

상기 제 1 항에 있어서,

상기 제어부는,

상기 딜레이모델부로부터의 출력된 딜레이신호와 상기 특정활성화신호에 응답하여 상기 딜레이신호의 한
주기에 해당하는 팝스폭을 갖는 제2딜레이신호를 생성하기 위한 제2디롭밀트롭단;

상기 내부클록신호와 상기 특정활성화신호에 응답하여 상기 내부클록신호의 한 주기에 해당하는 팝스폭을
갖는 제3내부클록신호를 생성하기 위한 제3디롭밀트롭단; 및

상기 복사지연활성화신호와 상기 내부클록신호와 상기 쉬프트신호에 응답하여 복사지연활성화신호가 활성
화된 후부터 제3내부클록신호를 생성하기 위한 제3내부클록생성부

를 포함하여 이루어진 지역고정루프.

청구항 4

상기 제 1 항에 있어서,

상기 쉬프트제어부는,

상기 제2내부클록신호의 라이징 에지에서 상기 쉬프트리셋신호를 띄우는 팝스생성단; 및

상기 제2내부클록신호의 평평 에지에서 상기 쉬프트신호를 띄우는 팝스생성단

를 포함하여 이루어진 지역고정루프.

청구항 5

상기 제 1 항에 있어서,

상기 쉬프트제어부는,

상기 복사지연활성화신호가 상승하는 에지에서 상기 쉬프트리셋신호를 한번 띄우기 위한 팝스생성단;

상기 제3내부클록신호의 평평 에지에서 상기 쉬프트신호를 띄우는 팝스생성단; 및

상기 쉬프트신호의 콤링 에지에서 상기 쉬프트리셋신호를 띄우는 팝스생성단

를 포함하여 이루어진 지역고정루프.

청구항 6

상기 제 1 항에 있어서,

상기 지역고정루프체인부는,

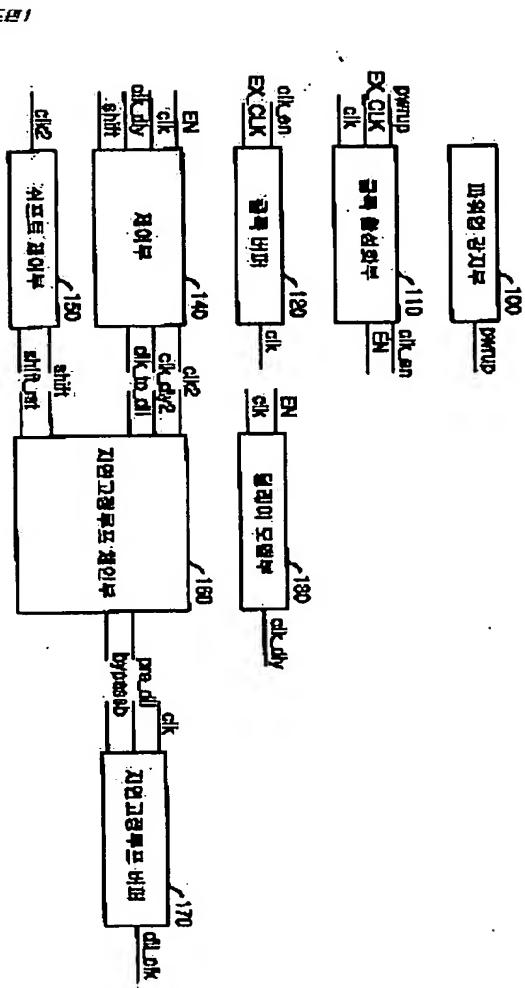
상기 제2딜레이신호와 상기 제2내부클록신호를 입력받아 딜레이시키는 지역체인 측정단;

상기 쉬프트신호와 쉬프트리셋신호와 상기 제3내부클록신호에 응답하여 쉬프팅하는 쉬프터로 구성된 쉬프
트 및 롤킹단; 및

상기 지역체인 측정단과 같은 딜레이로 이루어진 지역체인복사단

를 포함하여 이루어진 지역고정루프.

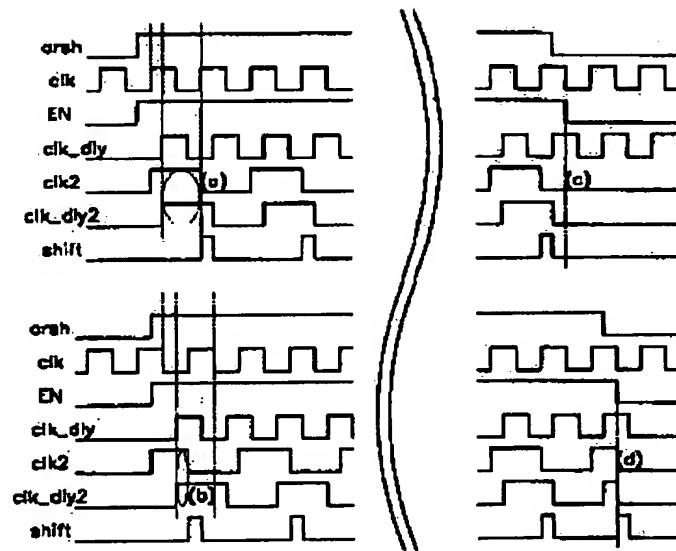
도면



[첨부 그림 8]

• 2001-0064123

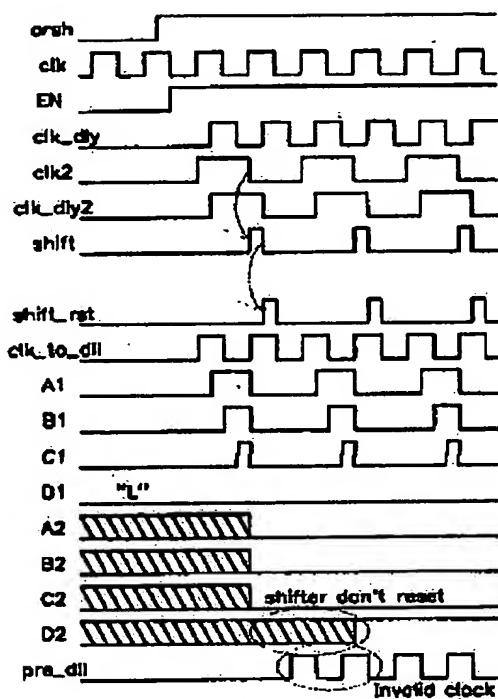
502



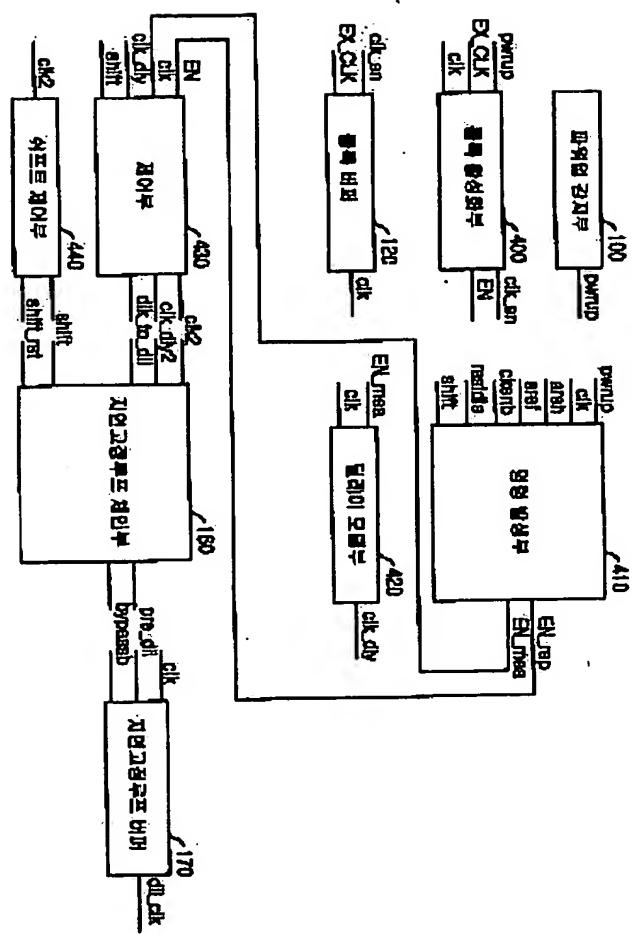
16-8

16-8

EB3



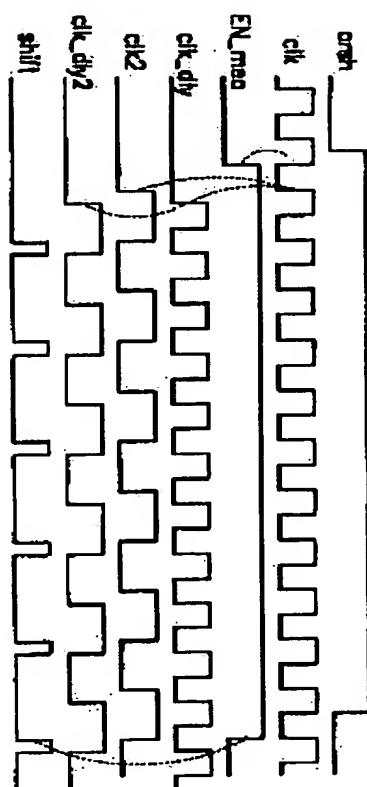
五四



[첨부그림 11]

2001-0064123

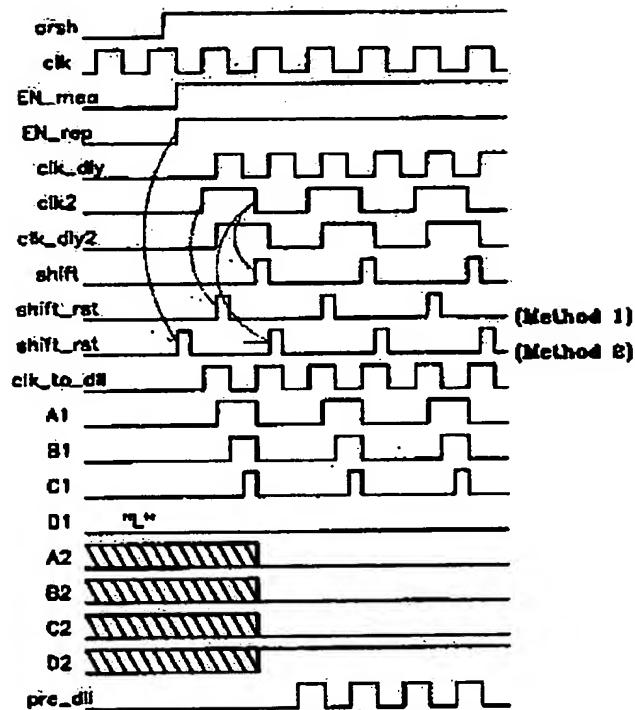
505



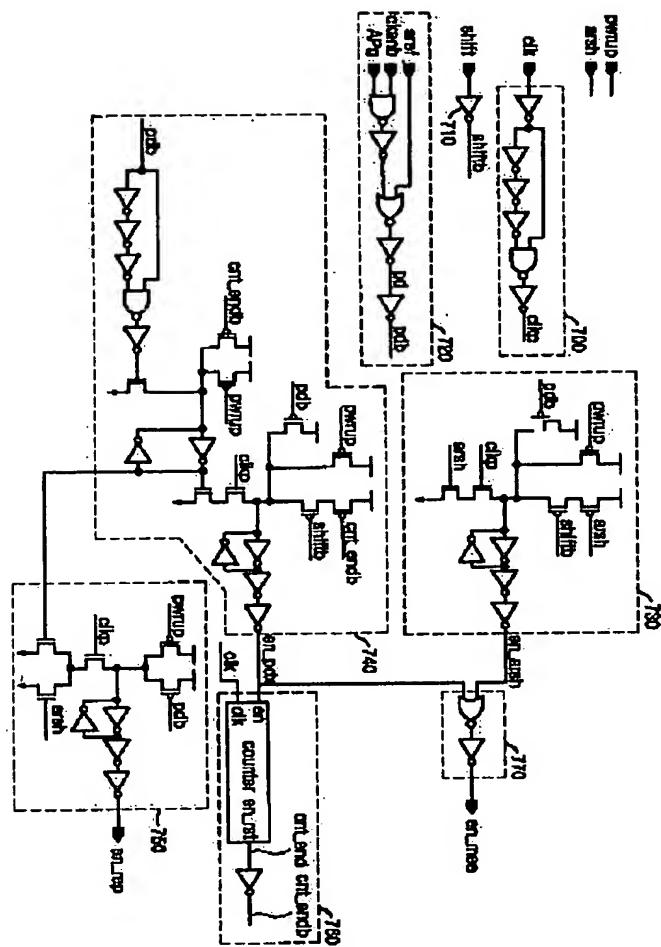
16-11

16-11

528



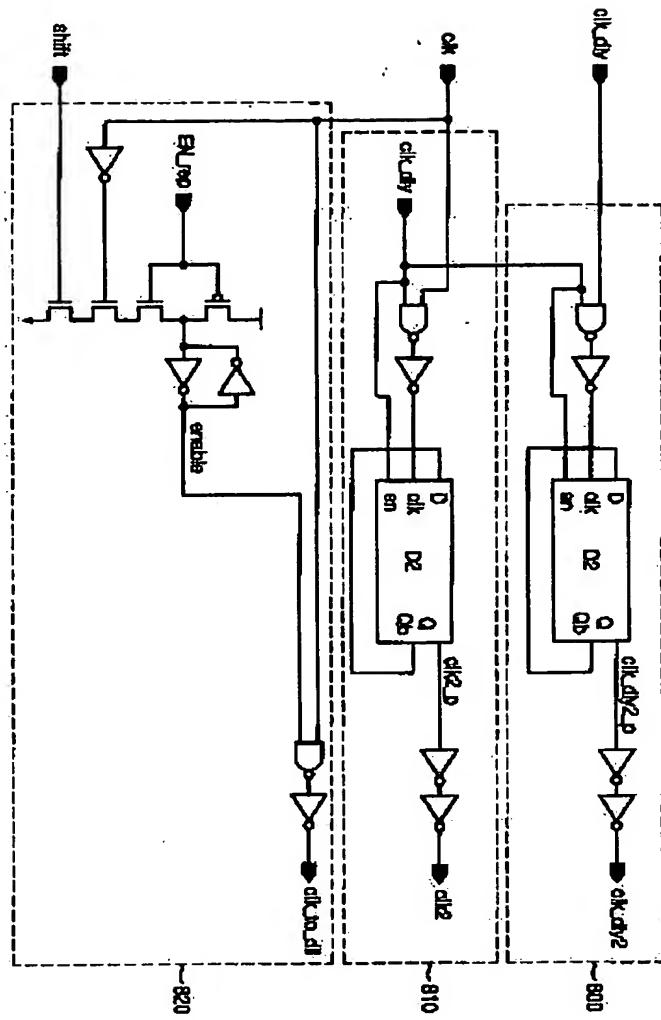
도면



16-13

16-13

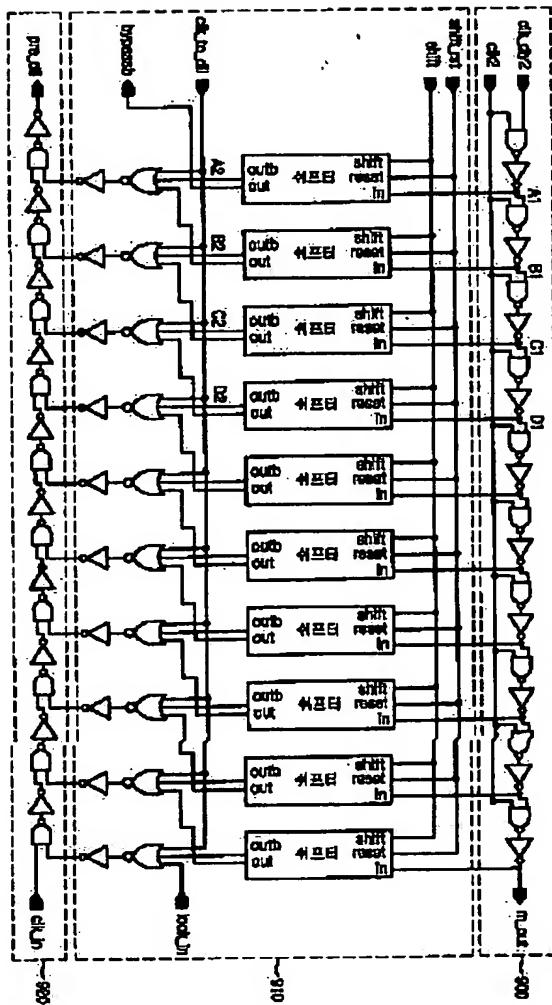
~~도면8~~



16-14

16-14

도29



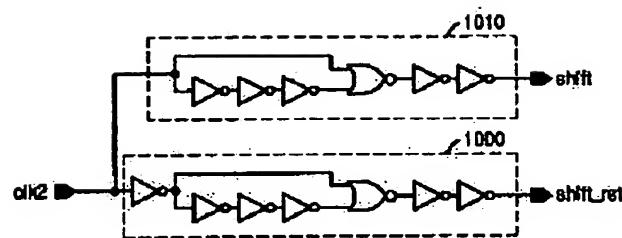
16-15

16-15

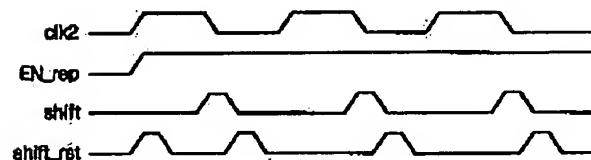
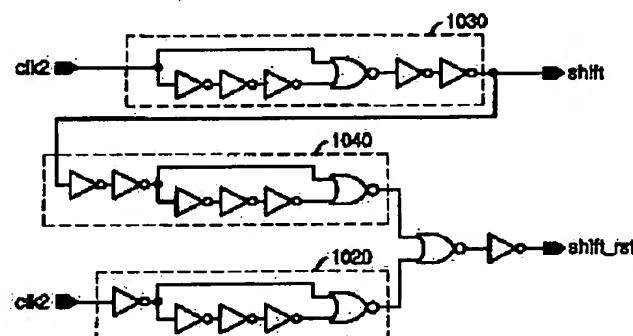
[첨부그림 16]

2001-0064123

도면 10a



도면 10b



16-16

16-16

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.